

Docket No.: 67161-065

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Takanobu SUZUKI

Serial No.:

Group Art Unit:

Filed: July 28, 2003

Examiner:

For: SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE ALLOWING ADJUSTMENT OF
DATA OUTPUT TIMING

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

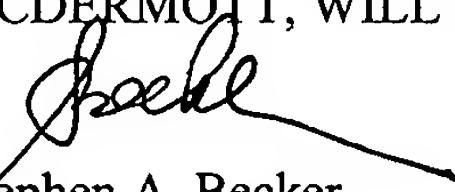
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-038709, filed February 17, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 28, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-065
Takanobu Suzuki
July 28, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月17日

出 願 番 号

Application Number:

特願2003-038709

[ST.10/C]:

[JP2003-038709]

出 願 人

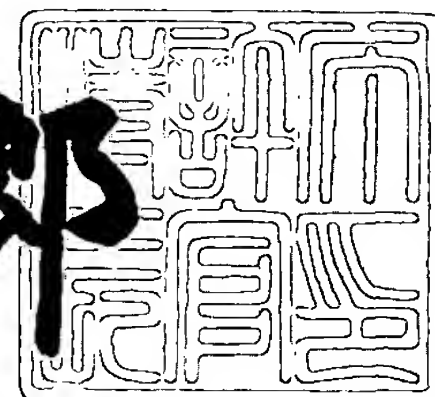
Applicant(s):

三菱電機株式会社

2003年 3月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3016312

【書類名】 特許願

【整理番号】 542804JP01

【提出日】 平成15年 2月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34
G11C 11/407

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 鈴木 隆信

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期型半導体記憶装置

【特許請求の範囲】

【請求項 1】 クロック信号に同期して動作する同期型半導体記憶装置であって、

複数のメモリセルが配置されたメモリセルアレイと、

前記メモリセルアレイから複数の読出しデータをバースト読出しし、前記複数の読出しデータのレベルをそれぞれ示す複数の読出し指示を前記クロック信号に同期して順次生成する出力制御回路と、

順次生成された前記複数の読出し指示の各々に応答して、データを入力するデータ入力回路と、

前記出力制御回路と前記データ入力回路との間に設けられ、前記出力制御回路によって生成された前記複数の読出し指示の各々を前記データ入力回路へ伝達する伝達制御部と、

前記出力制御回路によって順次生成される前記複数の読出し指示の各々が、前記複数の読出しデータのうちの第 1 番目および第 2 番目以降の読出しデータのいずれに対応するかを判定する信号伝播制御回路とを備え、

前記伝達制御部は、前記信号伝播制御回路の判定結果に応じて、第 1 番目の前記読出しデータに対応する前記読出し指示を第 1 の伝達時間で前記データ入力回路へ伝達する一方で、第 2 番目以降の前記読出しデータに対応する前記読出し指示を第 2 の伝達時間で前記データ入力回路へ伝達する、同期型半導体記憶装置。

【請求項 2】 前記第 1 の伝達時間は、前記第 2 の伝達時間よりも長い、請求項 1 に記載の同期型半導体記憶装置。

【請求項 3】 前記データ入力回路と電氣的に接続された第 1 のノードおよび第 2 のノードの各々を、前記バースト読出しの開始前において、所定電圧にプリチャージするとともに、前記バースト読出し開始後に前記第 1 のノードおよび前記第 2 のノードの各々を前記所定電圧から切離す電圧設定回路をさらに備え、

前記複数の読出し指示の各々は、前記複数の読出し指示の各々に対応する前記読出しデータのレベルに応じて、相補的なレベルへ設定される第 1 の制御信号お

よび第 2 の制御信号を含み、

前記伝達制御部は、前記出力制御回路によって生成された前記第 1 の制御信号および前記第 2 の制御信号を、前記信号伝播制御回路の前記判定結果に応じて、前記第 1 の伝達時間および前記第 2 の伝達時間のいずれか一方で、前記第 1 のノードおよび前記第 2 のノードへそれぞれ伝達し、

前記信号伝播制御回路は、前記第 1 のノードおよび前記第 2 のノードの電圧に基づいて、前記出力制御回路によって生成される前記第 1 の制御信号および前記第 2 の制御信号が、前記第 1 番目の読出しデータおよび前記第 2 番目以降の読出しデータのいずれかに対応するかを判定する判定部を含む、請求項 1 に記載の同期型半導体記憶装置。

【請求項 4】 前記判定部は、

前記第 1 のノードの電圧と前記第 2 のノードの電圧との論理演算結果に応じた判定信号を出力する論理回路と、

前記出力制御回路が前記第 1 の制御信号および前記第 2 の制御信号を生成してから次の前記第 1 の制御信号および前記第 2 の制御信号を生成する間のタイミングで、前記論理回路からの前記判定信号を前記伝達制御部へ伝達する伝達回路とを有し、

前記伝達制御部は、前記伝達回路からの前記判定信号に応じて、前記第 1 の伝達時間および前記第 2 の伝達時間を切替える、請求項 3 に記載の同期型半導体記憶装置。

【請求項 5】 前記伝達制御部は、

前記第 1 の伝達時間および前記第 2 の伝達時間の差に相当する遅延時間を付与するための遅延回路と、

前記信号伝播制御回路の前記判定結果に応じて、前記第 1 番目の前記読出しデータに対応する読出し指示については、前記遅延回路を通過させた上で前記データ出力回路へ伝達する一方で、前記第 2 番目以降の前記読出しデータに対応する読出し指示については、前記遅延回路をバイパスさせて前記データ出力回路へ伝達する経路スイッチとを有し、

前記遅延回路の前記遅延時間は、外部入力によって不揮発的に調整可能である

、請求項 1 に記載の同期型半導体記憶装置。

【請求項 6】 前記遅延回路は、各々が所定の駆動力を有する、並列接続された複数の CMOS インバータによって構成された少なくとも 1 つの伝播時間調整回路を有し、

前記複数の CMOS インバータの各々は、前記外部入力に応じて前記並列接続から切離される、請求項 5 に記載の同期型半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、同期型半導体記憶装置に関し、より特定のにはバースト読出し動作におけるデータ出力タイミングの相違を解消可能な同期型半導体記憶装置に関する。

【 0 0 0 2 】

【従来の技術】

同期型半導体記憶装置に対する高周波動作化の要求に伴って、外部クロック信号の立上がりエッジと立下がりエッジとに同期して外部とデータのやり取りを行なうダブルデータレート SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory: 以下、DDR-SDRAM と称する。) が開発され、実用化されている。

【 0 0 0 3 】

DDR-SDRAM は、外部クロック信号の立上がりエッジまたは立下がりエッジのいずれか一方に同期して動作する SDRAM と比較して、約 2 倍の速度でデータの読出しおよびデータの書込みを行なうことが可能である。

【 0 0 0 4 】

しかし、DDR-SDRAM は、非常に高速で動作するため、特に外部クロック信号と 1 番目の出力データとのタイミング時間を規定した t_{LZ} および外部クロック信号と 2 番目以降の出力データとのタイミング時間を規定した t_{AC} を規格値の範囲内に収めるには高精度にデータ出力のタイミングを調整する必要がある。

【 0 0 0 5 】

そこで、DDR-SDRAMに対してではないが、同期型半導体記憶装置において、データ出力のタイミングを調整する技術が開示されている（例えば、特許文献1参照）。

【 0 0 0 6 】

【特許文献1】

特開平11-86547号公報（第4-5頁、第2図）

【 0 0 0 7 】

【発明が解決しようとする課題】

一般的に、DDR-SDRAMまたはSDRAM等の同期型半導体記憶装置におけるバースト読出し動作においては、1番目のデータが出力されるまでの時間は、プリチャージレベル（ $V_{cc}/2$ ）からの電圧レベルの変化に要する時間に相当する。一方で、2番目以降のデータが出力されるまでの時間は、電源電圧 V_{cc} または接地電圧GNDからの電圧レベルの変化に要する時間に相当する。したがって、1番目のデータ出力タイミングは2番目以降のデータ出力タイミングより相対的に速くなる。

【 0 0 0 8 】

特許文献1の技術は、SDRAMに対して、データ出力のタイミングを調整するためのものであるが、バースト読出し動作における1番目のデータ出力タイミングと2番目以降のデータ出力タイミングとの相違を解消することについての対策については開示されていない。

【 0 0 0 9 】

同期型半導体記憶装置におけるバースト読出し動作において、すべてのデータ出力タイミングが同等であれば、データを取込むクロック信号に対する所定のセットアップ時間および所定のホールド時間も一定となる。

【 0 0 1 0 】

したがって、量産において、同期型半導体記憶装置内に設けられる外部にデータを出力するための回路（以下においては、データ出力回路群とも称する）内のデバイスの電気特性にばらつきが生じ、セットアップ時間およびホールド時間に

多少誤差が生じて、同期型半導体記憶装置からの出力データをデータ読み取り装置が正常に読み取れる可能性は高い。

【 0 0 1 1 】

しかし、データの当該出力タイミングが異なる場合、量産において、同期型半導体記憶装置内のデータ出力回路群内のデバイスの電気特性にばらつきが生じると、データ信号を正確に受信するための所定のセットアップ時間と所定のホールド時間を十分に確保できなくなる可能性が高まる。したがって、データ読み取り装置が正常にデータを読み取れなくなる可能性が高くなる。従来においては、そのような製品は不良品とみなされる可能性が高く、製造歩留まりの低下を招いていた。

【 0 0 1 2 】

この発明は、上記問題を解決するためになされたものであって、この発明の目的は、バースト読出しにおける、データの出力タイミングの相違を解消することで、製造歩留まりの向上を図ることが可能な同期型半導体記憶装置を提供することである。

【 0 0 1 3 】

【課題を解決するための手段】

この発明に従う同期型半導体記憶装置は、クロック信号に同期して動作する同期型半導体記憶装置であって、複数のメモリセルが配置されたメモリセルアレイと、メモリセルアレイから複数の読出しデータをバースト読出しし、複数の読出しデータのレベルをそれぞれ示す複数の読出し指示をクロック信号に同期して順次生成する出力制御回路と、順次生成された複数の読出し指示の各々に応答して、データを出力するデータ出力回路と、出力制御回路とデータ出力回路との間に設けられ、出力制御回路によって生成された複数の読出し指示の各々をデータ出力回路へ伝達する伝達制御部と、出力制御回路によって順次生成される複数の読出し指示の各々が、複数の読出しデータのうちの第1番目および第2番目以降の読出しデータのいずれに対応するかを判定する信号伝播制御回路とを備え、伝達制御部は、信号伝播制御回路の判定結果に応じて、第1番目の読出しデータに対応する読出し指示を第1の伝達時間でデータ出力回路へ伝達する一方で、

第 2 番目以降の読出しデータに対応する読出し指示を第 2 の伝達時間でデータ出力回路へ伝達する。

【 0 0 1 4 】

【発明の実施の形態】

以下において、本発明の実施の形態について、図面を参照しながら説明する。
なお、図中同一符号は同一または相当部分を示す。

【 0 0 1 5 】

〔実施の形態 1〕

図 1 は、同期型半導体記憶装置のシステムの概略を示したブロック図である。

【 0 0 1 6 】

図 1 を参照して、同期型半導体記憶装置のシステムは、同期型半導体記憶装置 1 0 0 0 と、DRAMコントローラ 1 1 0 0 と、クロック発生器 1 2 0 0 とから構成される。同期型半導体記憶装置 1 0 0 0 には、DDR-SDRAMが一例として示されている。

【 0 0 1 7 】

以下の説明において、先頭に記号“／”が付された信号は、当該“／”を付さない信号を反転した信号であるものとする。また、以下においては、信号およびデータ等の 2 値的な高電圧状態（たとえば、電源電圧 V c c）および低電圧状態（たとえば、接地電圧 G N D）を、それぞれ、H レベルおよび L レベルとも称する。

【 0 0 1 8 】

DRAMコントローラ 1 1 0 0 および同期型半導体記憶装置 1 0 0 0 は、クロック発生器 1 2 0 0 から出力される外部クロック信号 C L K および／C L K に応じて動作する。

【 0 0 1 9 】

DRAMコントローラ 1 1 0 0 は、コントロール信号／R A S，／C A S，／W E，／C S，DM およびクロックイネーブル信号 C K E と、アドレス信号 A 0 ～A 1 2、バンクアドレス信号 B A 0 ～B A 1 とを同期型半導体記憶装置 1 0 0 0 に送信する。さらに、DRAMコントローラ 1 1 0 0 は、データ授受のタイミ

ングの基準となるデータストローブ信号DQSを同期型半導体記憶装置1000に送受信することにより、同期型半導体記憶装置1000からデータを読み出したり、同期型半導体記憶装置1000へデータを書込んだりすることが可能となる。

【0020】

同期型半導体記憶装置1000は、DRAMコントローラ1100からバースト読出しの要求があると、連続したデータDQをDRAMコントローラ1100へ送信する。DRAMコントローラ1100は、クロック信号CLKに対して所定のセットアップ時間および所定のホールド時間が確保されると、正常にデータを受信できる。しかし、DDR-SDRAMにおいて、バースト読出し動作を行なうと、1番目のデータの出力タイミングは、2番目以降のデータの出力タイミングより速くなる。

【0021】

そのため、外部クロック信号と1番目の出力データとのタイミング時間を規定した t_{LZ} は、外部クロック信号と2番目以降の出力データとのタイミング時間を規定した t_{AC} より小さくなる。 t_{LZ} と t_{AC} との差が大きい場合、量産において、同期型半導体記憶装置内のデータ出力回路群内のデバイスの電気特性にばらつきが生じると、データ信号DQを正確に受信するためのセットアップ時間とホールド時間を十分に確保できなくなる可能性が高まる。したがって、DRAMコントローラ1100においても、バースト読出しにおいて正常にデータを受信できなくなる可能性が高まる。

【0022】

そこで、バースト読出し動作における t_{AC} と t_{LZ} を同等とすることで、データ出力回路群内のデバイスの電気特性にばらつきが多少生じてても、DRAMコントローラ1100が正常にデータを受信できるように構成された同期型半導体記憶装置1000の構成を以下に説明する。

【0023】

図2は、同期型半導体記憶装置1000の概略的な構成を示すブロック図である。

【 0 0 2 4 】

図 2 を参照して、同期型半導体記憶装置 1 0 0 0 は、外部クロック信号 CLK、 $\overline{\text{CLK}}$ 、クロックイネーブル信号 CKE を受けるクロックバッファ 1 0 と、アドレス信号 A 0 ～ A 1 2 およびバンクアドレス信号 BA 0、BA 1 を受けるアドレスバッファ 2 0 と、コントロール信号 $\overline{\text{CS}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ 、DM を受ける制御信号バッファ 3 0 とを含む。アドレスバッファ 2 0 および制御信号バッファ 3 0 は、クロックバッファ 1 0 の出力に同期して、アドレス信号やコントロール信号を取込む。

【 0 0 2 5 】

同期型半導体記憶装置 1 0 0 0 は、さらに、データ授受のタイミングの基準となるデータストロブ信号 DQS を入出力するデータストロブバッファ 1 2 0 と、クロックバッファ 1 0 の出力に応じて内部クロック信号を発生するディレイロックループ (DLL) 回路 1 1 0 とを含む。

【 0 0 2 6 】

同期型半導体記憶装置内部の信号伝搬遅延のため、外部クロック信号 CLK に応じて入出力バッファ 1 5 0 がデータ出力を行なったのでは外部クロック信号 CLK に対してデータ出力タイミングが遅れてしまう。これを防止するため、DLL 回路 1 1 0 は、外部クロック信号 CLK、 $\overline{\text{CLK}}$ に基づいてこれより内部の信号伝搬遅延に相当する時間だけ位相の早い内部クロック信号 CLK_O を生成して入出力バッファ 1 5 0 に供給する。

【 0 0 2 7 】

同期型半導体記憶装置 1 0 0 0 は、さらに、クロックバッファ 1 0 の出力に同期して、アドレスバッファ 2 0、制御信号バッファ 3 0 の出力を受ける制御回路 4 0 と、制御回路 4 0 によって制御され、データの記憶を行なうメモリセルアレイ 1 0 0 と、外部とメモリセルアレイ 1 0 0 との間でデータの授受を行なう入出力バッファ 1 5 0 と、モードレジスタ 5 0 とを含む。

【 0 0 2 8 】

メモリセルアレイ 1 0 0 は、各々に複数のメモリセルが配置された 4 つのバンク # 0 ～バンク # 3 に分割される。

【 0 0 2 9 】

入出力バッファ 1 5 0 は、D L L 回路 1 1 0 からの内部クロック信号 C L K O に同期して、バンクアドレス信号 B A 0, B A 1 に応じて選択されるメモリセルアレイ 1 0 0 のバンク # 0 ~ # 3 内の複数のメモリセルのうちの選択された 1 つのメモリセルのデータを外部に出力する。一方、入出力バッファ 1 5 0 は、データストローブバッファ 1 2 0 から与えられるデータストローブ信号 D Q S に同期して外部から入力されるデータを取込む。

【 0 0 3 0 】

モードレジスタ 5 0 は、制御回路 4 0 からの制御信号の組合せによって与えられるモードレジスタセットコマンドに応じて、その時に与えられているアドレス信号によって指定される動作モードを保持する。

【 0 0 3 1 】

次に、入出力バッファ 1 5 0 の内部に設けられるバースト読出しにおけるデータの出力タイミングを高精度に調整可能な構成をもったデータ出力回路について説明する。

【 0 0 3 2 】

図 3 は、同期型半導体記憶装置 1 0 0 0 において、出力バッファ 1 5 0 の内部に設けられるデータ出力制御回路 2 0 0 の構成を示す回路図である。

【 0 0 3 3 】

図 3 を参照して、データ出力制御回路 2 0 0 は、メモリセルアレイ 1 0 0 からのデータを出力する際、内部クロック信号 C L K O に同期して動作する出力制御回路 2 5 0 と、遅延制御部 2 1 0 と、遅延制御部 2 2 0 と、信号伝播制御回路 2 3 0 と、データ出力回路 2 4 0 と、データ線 # D 1 と、データ線 # D 2 とを含む。

【 0 0 3 4 】

出力制御回路 2 5 0 は、メモリセルアレイ 1 0 0 からの読出しデータのレベルに基づいて、データ出力回路 2 4 0 から出力するデータ信号 D Q のレベルを設定するための制御信号 Z R D H 0, Z R D L 0 を出力する。データ出力回路 2 4 0 からデータ信号 D Q を出力する際は、制御信号 Z R D H 0 および制御信号 Z R D

L 0 は、互いに相補なレベルに設定される。一方、データ出力回路 2 4 0 からデータ信号 D Q を出力しない場合は、データ出力回路 2 4 0 の出力をハイインピーダンスにするために、制御信号 Z R D H 0 および制御信号 Z R D L 0 は共に H レベルに設定される。

【 0 0 3 5 】

詳細は後述するが、遅延制御部 2 1 0 は、信号伝播制御回路 2 3 0 からの制御信号に基づいて、制御信号 Z R D H 0 を異なった 2 つの伝播時間のいずれか 1 つの伝播時間で出力する。遅延制御部 2 1 0 から出力された信号は制御信号 Z R D H となる。制御信号 Z R D H は、データ出力回路 2 4 0 へ入力される。同様に、遅延制御部 2 2 0 は、信号伝播制御回路 2 3 0 からの制御信号に基づいて、制御信号 Z R D L 0 を異なった 2 つの伝播時間のいずれか 1 つの伝播時間で出力する。遅延制御部 2 2 0 から出力された信号は制御信号 Z R D L となる。制御信号 Z R D L は、データ出力回路 2 4 0 へ入力される。

【 0 0 3 6 】

データ出力回路 2 4 0 は、電源電圧 V c c と接地電圧 G N D との間に直列に接続された P チャネル M O S トランジスタ 2 4 2 および N チャネル M O S トランジスタ 2 4 3 と、インバータ 2 4 1 とを有する。P チャネル M O S トランジスタ 2 4 2 のゲートへは、制御信号 Z R D H が入力される。インバータ 2 4 1 は、制御信号 Z R D L の反転レベルの信号を出力する。N チャネル M O S トランジスタ 2 4 3 のゲートへは、インバータ 2 4 1 の出力信号が入力される。

【 0 0 3 7 】

したがって、データ出力回路 2 4 0 は、制御信号 Z R D H および Z R D L がそれぞれ H レベルおよび L レベルに設定されている場合は、ノード # D から L レベルのデータ信号 D Q を出力する。一方、データ出力回路 2 4 0 は、制御信号 Z R D H および Z R D L がそれぞれ L レベルおよび H レベルに設定されている場合は、ノード # D から H レベルのデータ信号 D Q を出力する。

【 0 0 3 8 】

信号伝播制御回路 2 3 0 は、N A N D 回路 2 3 1 と、インバータ 2 3 2 と、クロックドインバータ 2 3 3 と、ラッチ回路 2 3 5 とを有する。

【 0 0 3 9 】

NAND回路 2 3 1 は、制御信号 ZRDH および ZRD L の否定的論理積演算を行なった信号を出力する。インバータ 2 3 2 は、NAND回路 2 3 1 からの出力信号の反転レベルの信号を出力する。クロックドインバータ 2 3 3 は、Lレベルの内部クロック信号 CLK O および / CLK O に応じて、インバータ 2 3 2 の出力信号の反転レベルの信号を出力する。

【 0 0 4 0 】

ラッチ回路 2 3 5 は、インバータ 2 3 6 と、クロックドインバータ 2 3 7 とを有する。インバータ 2 3 6 は、クロックドインバータ 2 3 3 の出力信号の反転レベルの信号を伝播時間制御信号 SIG として出力する。クロックドインバータ 2 3 7 は、Hレベルの内部クロック信号 CLK O およびその反転信号 / CLK O に応じて、インバータ 2 3 6 の出力信号の反転レベルの信号を出力する。したがって、ラッチ回路 2 3 5 は、クロックドインバータ 2 3 7 の 2 つの制御端子へ Hレベルの内部クロック信号 CLK O および / CLK O がそれぞれ入力された場合、インバータ 2 3 6 に入力された信号の反転レベルの信号を一時的に保持する機能を有する。

【 0 0 4 1 】

遅延制御部 2 1 0 は、ノード # 1 とノード # 1 a との間にトランSMissionゲート 2 1 1 を有する。トランSMissionゲート 2 1 1 は、2 つの制御端子に Lレベルの伝播時間制御信号 SIG および Hレベルの伝播時間制御信号 / SIG がそれぞれ入力されると、制御信号 ZRDH 0 を制御信号 ZRDH として出力する。

【 0 0 4 2 】

遅延制御部 2 1 0 は、さらに、ノード # 1 とノード # 1 a との間に直列に接続された遅延回路 2 1 2 およびトランSMissionゲート 2 1 3 を有する。遅延回路 2 1 2 の内部には、詳細は後述するが、制御信号 ZRDH 0 を所定時間遅延させた信号を出力するための複数のインバータが設けられている。トランSMissionゲート 2 1 3 は、2 つの制御端子に Lレベルの伝播時間制御信号 / SIG および Hレベルの伝播時間制御信号 SIG がそれぞれ入力されると、遅延回路 2 1

2 の出力信号を制御信号 Z R D H として出力する。

【 0 0 4 3 】

したがって、遅延制御部 2 1 0 は、伝播時間制御信号 S I G, / S I G に応じて、制御信号 Z R D H 0 のノード # 1 からノード # 1 a までの伝播時間を変化させることができる。

【 0 0 4 4 】

遅延制御部 2 2 0 は、ノード # 2 とノード # 2 a との間にトランスマッションゲート 2 2 1 を有する。トランスマッションゲート 2 2 1 は、トランスマッションゲート 2 1 1 と同様な機能を有するので詳細な説明は繰り返さない。

【 0 0 4 5 】

遅延制御部 2 2 0 は、さらに、ノード # 2 とノード # 2 a との間に直列に接続された遅延回路 2 2 2 およびトランスマッションゲート 2 2 3 を有する。遅延回路 2 2 2 は、遅延回路 2 1 2 と同様な構成であるので詳細な説明は繰り返さない。トランスマッションゲート 2 2 3 は、トランスマッションゲート 2 1 3 と同様な機能を有するので詳細な説明は繰り返さない。

【 0 0 4 6 】

したがって、遅延制御部 2 2 0 は、伝播時間制御信号 S I G, / S I G に応じて、制御信号 Z R D L 0 のノード # 2 からノード # 2 a までの伝播時間を変化させることができる。

【 0 0 4 7 】

データ線 # D 1 は、ノード # 1 a と P チャネル MOS トランジスタ 2 4 2 のゲートとを電氣的に接続する。したがって、データ線 # D 1 は、遅延制御部 2 1 0 から出力された制御信号 Z R D H をデータ出力回路 2 4 0 まで伝達する。

【 0 0 4 8 】

データ線 # D 2 は、ノード # 1 a とインバータ 2 4 1 とを電氣的に接続する。したがって、データ線 # D 2 は、遅延制御部 2 2 0 から出力された制御信号 Z R D L をデータ出力回路 2 4 0 まで伝達する。

【 0 0 4 9 】

データ出力制御回路 2 0 0 は、さらに、電源電圧 V c c とノード # 1 a との間

に設けられた P チャンネル MOS トランジスタ 2 1 5 と、電源電圧 V_{cc} とノード # 2 a との間に設けられた P チャンネル MOS トランジスタ 2 1 6 とを含む。

【 0 0 5 0 】

P チャンネル MOS トランジスタ 2 1 5, 2 1 6 のゲートへは、プリチャージ信号 P_R が入力される。したがって、プリチャージ信号 P_R が L レベルに設定されている場合においては、制御信号 $ZRDH$ および $ZRD L$ は、制御信号 $ZRDH0$, $ZRD L0$ の電圧レベルに関わらず、H レベルに設定される。一方、プリチャージ信号 P_R が H レベルに設定されている場合においては、制御信号 $ZRDH$ および $ZRD L$ は、それぞれ制御信号 $ZRDH0$ および制御信号 $ZRD L0$ の電圧レベルに等しい。

【 0 0 5 1 】

次に、遅延回路 2 1 2 の内部構成を説明する。

図 4 は、遅延回路 2 1 2 の内部構成を示す回路図である。

【 0 0 5 2 】

図 4 を参照して、遅延回路 2 1 2 は、直列に接続された n 個の遅延素子 2 1 2 . 1 ~ 2 1 2 . n を有する。遅延素子 2 1 2 . 1 は、直列に接続されたインバータ 2 1 7 およびインバータ 2 1 8 を有する。遅延素子 2 1 2 . 2 ~ 2 1 2 . n の各々は、遅延素子 2 1 2 . 1 と同様な構成を有するので詳細な説明は繰り返さない。したがって、遅延回路 2 1 2 は、# 1 から # 1 a までの制御信号 $ZRDH0$ の信号の伝播時間を遅延素子の数だけ長くすることができる。

【 0 0 5 3 】

遅延回路 2 2 2 は、遅延回路 2 1 2 と同様な構成を有するので詳細な説明は繰り返さない。

【 0 0 5 4 】

一般に、図 3 に示すデータ出力回路 2 4 0 内の P チャンネル MOS トランジスタ 2 4 2 がターンオンしてデータ信号 DQ が出力される時間（以下においては、H レベル出力時間と称する）と、N チャンネル MOS トランジスタ 2 4 3 がターンオンしてデータ信号 DQ が出力される時間（以下においては、L レベル出力時間と称する）とは、量産ばらつき等によって、必ずしも同等とはならない場合がある

。そのため、遅延回路 2 1 2 または遅延回路 2 2 2 内の遅延素子の数を調整することによって、後述する、バースト読出し動作において 1 番目のデータの H レベル出力時間と L レベル出力時間とが同等となるように調整することもできる。

【 0 0 5 5 】

図 5 は、同期型半導体記憶装置 1 0 0 0 におけるバースト読出し動作を説明する動作波形図である。

【 0 0 5 6 】

本実施の形態における同期型半導体記憶装置 1 0 0 0 においては、制御コマンド COM が発行されてからデータが出力されるまでに必要なクロック数 CL は “ 2 ” に設定されているとする。また、バースト読出し動作においてメモリセルアレイ 1 0 0 から読み出されたデータは、“ H, L, H, L, H, L ” レベルの順であるとする。また、遅延回路 2 1 2, 2 2 2 において設定されている所定の伝播時間は、 t_{LZ} と t_{AC} とが等しくなるように設定されているとする。

【 0 0 5 7 】

なお、本実施の形態においては、図 1 における同期型半導体記憶装置 1 0 0 0 と DRAM コントローラ 1 1 0 0 との間に、同期型半導体記憶装置 1 0 0 0 から出力されるデータ信号 DQ を伝達するデータ線を $1/2 V_{cc}$ にプリチャージする回路（図示せず）が設けられているとする。また、図 5 における DQ は、当該データ線の電圧レベルを示したものとする。また、説明の都合上、データ信号 DQ がデータ出力回路 2 4 0 から出力された時刻は、同期型半導体記憶装置 1 0 0 0 からデータ信号 DQ が出力され、当該データ線に伝達された時刻と等しいとする。

【 0 0 5 8 】

次に、図 2、図 3 および図 5 を参照して、同期型半導体記憶装置 1 0 0 0 におけるバースト読出し時の動作を説明する。時刻 t_1 において、制御コマンドの 1 つである読出しコマンド READ が同期型半導体記憶装置 1 0 0 0 に取込まれる。また、時刻 t_1 においては、データ出力制御回路 2 0 0 内のノード # 1 a, # 2 a は、プリチャージが行なわれているのでプリチャージ信号 PR は L レベルに設定されているため、制御信号 ZRDH, ZRDL は H レベルとなる。そして、

時刻 t_2 において、メモリセルアレイ 1 0 0 内の所望のバンク内の複数のメモリセルのデータが連続して出力制御回路 2 5 0 へ入力され始める。同時に、出力制御回路 2 5 0 に入力されたデータを出力するためにプリチャージが解除される。したがって、プリチャージ信号 $P R$ は H レベルに設定される。

【 0 0 5 9 】

プリチャージが解除されても、制御信号 $Z R D H$, $Z R D L$ はそれぞれ H レベルを維持するので、 $N A N D$ 回路 2 3 1 の出力信号のレベルは L レベルに設定される。したがって、インバータ 2 3 2 の出力信号は H レベルに設定される。そして、時刻 t_3 において、内部クロック信号 $C L K O$ が、 L レベルになると、クロックドインバータ 2 3 3 は、インバータ 2 3 2 の出力信号の反転レベルの信号を出力するため、伝播時間制御信号 $S I G$ は H レベルに設定される。その後、内部クロック信号 $C L K O$ が H レベルになっても、制御信号 $Z R D H$, $Z R D L$ の電圧レベルが変化するまでは、クロックドインバータ 2 3 3 , 2 3 7 の動作により、伝播時間制御信号 $S I G$ は H レベルに維持される。

【 0 0 6 0 】

時刻 t_4 において、データ出力回路 2 4 0 からバースト読出し動作における 1 番目のデータである H レベルのデータ信号 $D Q$ を出力させるために、出力制御回路 2 5 0 から L レベルの制御信号 $Z R D H 0$ および H レベルの $Z R D L 0$ が出力される。時刻 t_4 においては、伝播時間制御信号 $S I G$ は H レベルに設定されているので、遅延制御部 2 1 0 内のトランSMISSIONゲート 2 1 3 のみがターンオンする。同様に、遅延制御部 2 2 0 内のトランSMISSIONゲート 2 2 3 のみがターンオンする。したがって、制御信号 $Z R D H 0$ は、ノード # 1 から遅延回路 2 1 2 を介してノード # 1 a へ伝達されるため、遅延回路 2 1 2 において設定されている所定の伝播時間（例えば、時間 T_1 ）でノード # 1 からノード # 1 a まで伝達される。その結果、時刻 t_4 において、 L レベルの制御信号 $Z R D H 0$ は、時刻 t_4 から時間 T_1 が経過した後の時刻 t_5 において L レベルの制御信号 $Z R D H$ となる。

【 0 0 6 1 】

同様に、制御信号 $Z R D L 0$ も、ノード # 2 から遅延回路 2 2 2 を介してノー

ド # 2 a へ伝達されるため、遅延回路 2 2 2 において設定されている所定の伝播時間（例えば、時間 T_1 ）でノード # 2 からノード # 2 a まで伝達される。したがって、時刻 t_4 において、H レベルの制御信号 $ZRD L 0$ は、時刻 t_4 から時間 T_1 が経過した後の時刻 t_5 において H レベルの制御信号 $ZRD L$ となる。データ出力回路 2 4 0 から 1 番目のデータ信号 DQ を出力させるための制御信号 $ZRD H 0$ 、 $ZRD L 0$ が出力制御回路 2 5 0 から出力された時刻 t_4 から、実際にデータ出力回路 2 4 0 のノード # D の電圧レベルが変化し始める時刻 t_5 までの時間が t_{LZ} となる。

【 0 0 6 2 】

時刻 t_5 において、制御信号 $ZRD H$ が L レベルに設定され、制御信号 $ZRD L$ が H レベルに設定されると、データ出力回路 2 4 0 は、時刻 t_6 において、H レベルのデータ信号 DQ を出力する。

【 0 0 6 3 】

また、時刻 t_6 において、内部クロック信号 $CLK O$ が L レベルになると、クロックドインバータ 2 3 3 はターンオンする。時刻 t_6 においては、制御信号 $ZRD H$ は L レベルであり、制御信号 $ZRD L$ は H レベルであるので、NAND 回路 2 3 1 の出力信号のレベルは H レベルに設定される。したがって、伝播時間制御信号 SIG は L レベルに設定される。すなわち、バースト読出し動作において、1 番目のデータのレベルを設定するための制御信号 $ZRD H$ および制御信号 $ZRD L$ が互いに相補なレベルになった後、内部クロック信号 $CLK O$ が L レベルになると、伝播時間制御信号 SIG はその後、信号伝播制御回路 2 3 0 の動作により L レベルを維持する。

【 0 0 6 4 】

伝播時間制御信号 SIG が L レベルに設定されると、遅延制御部 2 1 0 内のトランスミッションゲート 2 1 3 はターンオフし、トランスミッションゲート 2 1 1 がターンオンする。同様に、遅延制御部 2 2 0 内のトランスミッションゲート 2 2 3 はターンオフし、トランスミッションゲート 2 2 1 がターンオンする。したがって、制御信号 $ZRD H 0$ は、ノード # 1 からトランスミッションゲート 2 1 1 を介してノード # 1 a へ伝達されるため、遅延回路 2 1 2 を介さない分だけ

ノード # 1 からノード # 1 a へ速く伝達される。

【 0 0 6 5 】

同様に、制御信号 Z R D L 0 も、ノード # 2 からトランSMissionゲート 2 2 1 を介してノード # 2 a へ伝達されるため、遅延回路 2 2 2 を介さない分だけノード # 2 からノード # 2 a へ速く伝達される。

【 0 0 6 6 】

時刻 t_7 において、データ出力回路 2 4 0 からバースト読出し動作における 2 番目のデータである L レベルのデータ信号 D Q を出力するために、出力制御回路 2 5 0 から H レベルの制御信号 Z R D H 0 および L レベルの Z R D L 0 が出力される。

【 0 0 6 7 】

H レベルの制御信号 Z R D H 0 は、トランSMissionゲート 2 1 1 を介して H レベルの制御信号 Z R D H となる。一方、L レベルの制御信号 Z R D L 0 は、トランSMissionゲート 2 2 1 を介して L レベルの制御信号 Z R D L となる。したがって、データ出力回路 2 4 0 は、時刻 8 において、L レベルのデータ信号 D Q を出力する。したがって、時刻 t_7 から時刻 t_8 までの時間 T_2 が、2 番目以降のデータをデータ出力回路 2 4 0 から出力する際に要する時間となる。また、時間 T_2 は、例えば H レベルの信号が L レベルになるまでの時間、すなわち信号が反転レベルになるのに要する時間でもある。したがって、時間 T_2 の半分の時間 $T_2 / 2$ は、信号の電圧レベルが $1 / 2 V_{cc}$ から H レベルまたは L レベルになるまでの時間と等しい。

【 0 0 6 8 】

時刻 t_9 において、データ出力回路 2 4 0 からバースト読出し動作における 3 番目のデータである H レベルのデータ信号 D Q を出力するために、出力制御回路 2 5 0 から L レベルの制御信号 Z R D H 0 および H レベルの Z R D L 0 が出力される。したがって、データ出力回路 2 4 0 は、時刻 t_9 から時間 T_2 だけ経過した時刻に H レベルのデータ信号 D Q を出力する。ここで、遅延回路 2 1 2, 2 2 2 においてそれぞれ設定されている所定の伝播時間は、 t_{LZ} と t_{AC} とが等しくなるように設定されているため、時刻 t_9 から、時間 $T_2 / 2$ が経過した時刻

t_{10} までの時間が t_{AC} となる。その結果、1番目のデータ信号DQがHレベルを維持する時間、2番目以降のデータ信号DQがLまたはHレベルを維持する期間は等しくなる。

【0069】

以上説明したように、実施の形態1に従う同期型半導体記憶装置1000は、バースト読出し動作において、データ信号が電圧レベルを維持する期間を、読出されたデータ信号の順番に関わらず一定とすることが可能となる。したがって、バースト読出し動作において、同期型半導体記憶装置1000から出力されるデータ信号のセットアップ時間およびホールド時間も一定となるため、同期型半導体記憶装置1000の外部に設けられたデータ読み取り装置等で、データ信号をより正確に読み取ることが可能となる。

【0070】

その結果、量産において、同期型半導体記憶装置内のデータ出力回路群内のデバイスの電気特性にばらつきが生じ、出力データのセットアップ時間およびホールド時間に多少誤差が生じた場合でも、データ読み取り装置が出力データを正常に読取れる可能性が高くなる。したがって、従来、不良品とみなされる可能性が高かった製品が減少するため、製造歩留まりの向上を図ることができる。

【0071】

〔実施の形態1の変形例1〕

一般に、同期型半導体記憶装置は、量産において、デバイスの電気特性にばらつきが生じる。そのため、同期型半導体記憶装置1000におけるデータ出力制御回路200内の t_{LZ} を調整するための遅延回路212の信号の伝播時間と遅延回路222の信号の伝播時間とが同等にならない場合がある。以下に、遅延回路の伝播時間を調整するための構成を説明する。

【0072】

図6は、実施の形態1の変形例1に従う同期型半導体記憶装置1000における入出力バッファ150の内部に設けられるデータ出力制御回路200aの構成を示す回路図である。

【0073】

図 6 を参照して、データ出力制御回路 2 0 0 a は、実施の形態 1 に従う図 3 に示すデータ出力制御回路 2 0 0 と比較して、遅延制御部 2 1 0 の代わりに遅延制御部 2 1 0 a を有する点と、遅延制御部 2 2 0 の代わりに遅延制御部 2 2 0 a を有する点とが異なる。それ以外の構成および機能は、データ出力制御回路 2 0 0 と同様なので詳細な説明は繰り返さない。

【 0 0 7 4 】

遅延制御部 2 1 0 a は、遅延制御部 2 1 0 と比較して、遅延回路 2 1 2 の代わりに遅延回路 2 1 2 a を有する点が異なる。それ以外の構成および機能は、遅延制御部 2 1 0 と同様なので詳細な説明は繰り返さない。

【 0 0 7 5 】

遅延制御部 2 2 0 a は、遅延制御部 2 2 0 と比較して、遅延回路 2 2 2 の代わりに遅延回路 2 2 2 a を有する点が異なる。それ以外の構成および機能は、遅延制御部 2 2 0 と同様なので詳細な説明は繰り返さない。

【 0 0 7 6 】

次に、信号の伝播時間を調整する機能を有する遅延回路 2 1 2 a の内部構成を説明する。

【 0 0 7 7 】

図 7 は、遅延回路 2 1 2 a の内部構成を示す回路図である。

図 7 を参照して、遅延回路 2 1 2 a は、直列に接続された伝播時間調整回路 2 6 0 およびインバータ 2 1 9 を有する。

【 0 0 7 8 】

伝播時間調整回路 2 6 0 は、並列に接続された n 個のインバータ 2 6 0. 1 ~ 2 6 0. n を有する。インバータ 2 6 0. 1 は、電源電圧 V_{cc} と接地電圧 GND との間に直列に接続されたヒューズ 6 1、Pチャネル MOS トランジスタ 6 2、Nチャネル MOS トランジスタ 6 3 およびヒューズ 6 1 a を有する。インバータ 2 6 0. 2 ~ 2 6 0. n の各々は、インバータ 2 6 0. 1 と同様な構成を有するので詳細な説明は繰り返さない。

【 0 0 7 9 】

ノード # 1 からの信号は、インバータ 2 6 0. 1 内の Pチャネル MOS トラン

ジスタ 6 2 のゲートおよび N チャンネル MOS トランジスタ 6 3 のゲートへ入力される。同様に、ノード # 1 からの信号は、インバータ 2 6 0 . 2 ~ 2 6 0 . n の各々が有する P チャンネル MOS トランジスタのゲートおよび N チャンネル MOS トランジスタのゲートへ入力される。インバータ 2 6 0 . 1 の P チャンネル MOS トランジスタ 6 2 および N チャンネル MOS トランジスタ 6 3 の接続ノード # N から出力される信号は、インバータ 2 1 9 によって反転レベルの信号としてトランスミッションゲート 2 1 3 へ出力される。インバータ 2 6 0 . 2 ~ 2 6 0 . n の各々が有する P チャンネル MOS トランジスタおよび N チャンネル MOS トランジスタの接続ノードの出力される信号も同様に、インバータ 2 1 9 によって反転レベルの信号としてトランスミッションゲート 2 1 3 へ出力される。

【 0 0 8 0 】

インバータ 2 6 0 . 1 は、ヒューズ 6 1 , 6 1 a が切断されていない場合、ノード # 1 から入力された信号の反転レベルの信号をインバータ 2 1 9 へ出力する。インバータ 2 6 0 . 2 ~ 2 6 0 . n も同様に、各々が有する 2 つのヒューズが切断されていない場合、インバータ 2 6 0 . 1 と同様にノード # 1 から入力された信号の反転レベルの信号をインバータ 2 1 9 へ出力する。

【 0 0 8 1 】

したがって、伝播時間調整回路 2 6 0 内のインバータ 2 6 0 . 1 ~ 2 6 0 . n は、それぞれ並列に接続されていることとなる。そのため、インバータ 2 6 0 . 1 ~ 2 6 0 . n の各々が有している 2 つのヒューズ（以下においては、ヒューズ群と称する）をレーザ等により切断することにより、伝播時間調整回路 2 6 0 の駆動力を調整することができる。切断するヒューズ群が多いほど、伝播時間調整回路 2 6 0 の駆動力が小さくなる。一方、切断するヒューズ群が少ないほど、伝播時間調整回路 2 6 0 の駆動力が大きくなる。伝播時間調整回路 2 6 0 の駆動力が小さいほど、ノード # 1 から入力された信号がノード # N から反転レベルの信号として出力されるまでの時間（以下においては、信号レベル変化時間とも称する）が長くなる。一方、伝播時間調整回路 2 6 0 の駆動力が大きいほど、信号レベル変化時間が短くなる。

【 0 0 8 2 】

インバータ 2 1 9 は、ノード # N から入力される信号の電圧レベルが所定のしきい値以下または以上になると、ノード # N から入力される信号の反転レベルの信号を出力する。すなわち、インバータ 2 1 9 は、入力信号が所定のしきい値以下または以上であるかを判定可能な機能を有する。

【 0 0 8 3 】

信号レベル変化時間が長いと、ノード # N から出力された信号がインバータ 2 1 9 によって反転レベルの信号として出力されるまでの時間が長くなる。すなわち、遅延回路 2 1 2 a の信号の伝播時間が長くなる。

【 0 0 8 4 】

一方、信号レベル変化時間が短いと、ノード # N から出力された信号がインバータ 2 1 9 によって反転レベルの信号として出力されるまでの時間が短くなる。すなわち、遅延回路 2 1 2 a の信号の伝播時間が短くなる。

【 0 0 8 5 】

また、遅延回路 2 2 2 a は、遅延回路 2 1 2 a と同様な構成および機能を有するので詳細な説明は繰り返さない。

【 0 0 8 6 】

したがって、遅延回路 2 1 2 a または遅延回路 2 2 2 a 内の切断するヒューズ群の数によって、遅延回路 2 1 2 a または遅延回路 2 2 2 a の信号の伝播時間を調整することが可能となる。

【 0 0 8 7 】

以上説明したように、実施の形態 1 の変形例 1 に従う同期型半導体記憶装置 1 0 0 0 においては、量産時においてデバイスの電気特性のばらつきが生じ、製品テスト後に t_{LZ} が設計値の範囲内に収まっていないことが判明しても、遅延回路 2 1 2 a または遅延回路 2 2 2 a の信号の伝播時間を調整することにより、 t_{LZ} を設計値の範囲内に収めることができる。したがって、製造歩留まりの向上を図ることができる。

【 0 0 8 8 】

なお、実施の形態 1 または実施の形態 1 の変形例 1 においては、同期型半導体記憶装置が DDR - SDRAM である場合の構成を代表的に説明したが、本願発

明の適用範囲は、同期型半導体記憶装置がDDR-SDRAMである場合に限定されるものではない。同期型半導体記憶装置が他の規格のメモリ（例えば、SDRAM）である場合においても、データ入出力回路にデータ出力制御回路200または200aを適用することにより、バースト読出し動作におけるデータの出力タイミングの調整を行なうことが可能である。

【0089】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0090】

【発明の効果】

以上説明したように、本発明に従うと、同期型半導体記憶装置のバースト読出しにおいて、第2番目以降の読出しデータに対応する読出し指示がデータ出力回路へ伝達される時間は、第1番目の読出しデータに対応する読出し指示がデータ出力回路へ伝達される時間よりも短い。したがって、中間電圧へプリチャージされた状態からの第1番目の読出しデータ出力時と2番目以降の読出しデータ出力時とにおける、データ出力タイミングの相違を解消できる。

【0091】

この結果、量産において、同期型半導体記憶装置内のデータ出力回路群内のデバイスの電気特性にばらつきが生じ、出力データのセットアップ時間およびホールド時間に多少誤差が生じた場合でも、外部に設けられたデータ読み取り装置が出力データを正常に読取れる可能性が高くなる。したがって、従来は、不良品とみなされる可能性が高かった製品が減少するため、製造歩留まりの向上を図ることができる。

【図面の簡単な説明】

【図1】 同期型半導体記憶装置のシステムの概略を示したブロック図である。

【図2】 同期型半導体記憶装置の概略的な構成を示すブロック図である。

【図 3】 同期型半導体記憶装置において、出力バッファの内部に設けられるデータ出力制御回路の構成を示す回路図である。

【図 4】 遅延回路の内部構成を示す回路図である。

【図 5】 同期型半導体記憶装置におけるバースト読出し動作を説明する動作波形図である。

【図 6】 実施の形態 1 の変形例 1 に従う同期型半導体記憶装置における入出力バッファの内部に設けられるデータ出力制御回路の構成を示す回路図である。

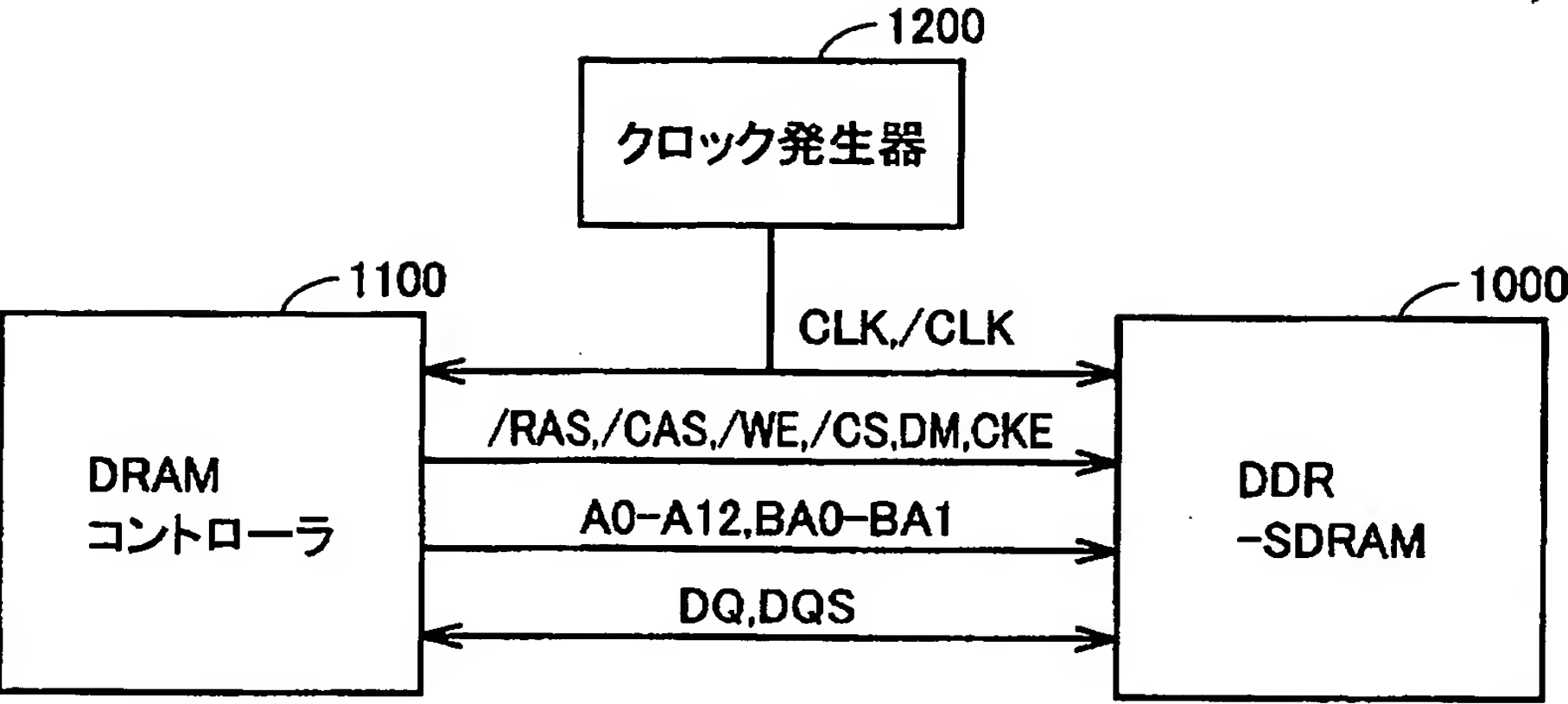
【図 7】 遅延回路の内部構成を示す回路図である。

【符号の説明】

D 1, # D 2 データ線、6 1, 6 1 a ヒューズ、1 0 0 メモリセルアレイ、1 5 0 入出力バッファ、2 0 0 データ出力制御回路、2 1 0, 2 1 0 a, 2 2 0, 2 2 0 a 遅延制御部、2 1 1, 2 1 3, 2 2 1, 2 2 3 トランスマッションゲート、2 1 2, 2 1 2 a, 2 2 2, 2 2 2 a 遅延回路、2 1 5, 2 1 6 PチャネルMOSトランジスタ、2 1 2. 1 ~ 2 1 2. n 遅延素子、2 1 9 インバータ、2 5 0 出力制御回路、2 3 0 信号伝播制御回路、2 4 0 データ出力回路、2 6 0 伝播時間調整回路、2 6 0. 1 ~ 2 6 0. n インバータ、1 0 0 0 同期型半導体記憶装置、1 1 0 0 DRAMコントローラ、1 2 0 0 クロック発生器。

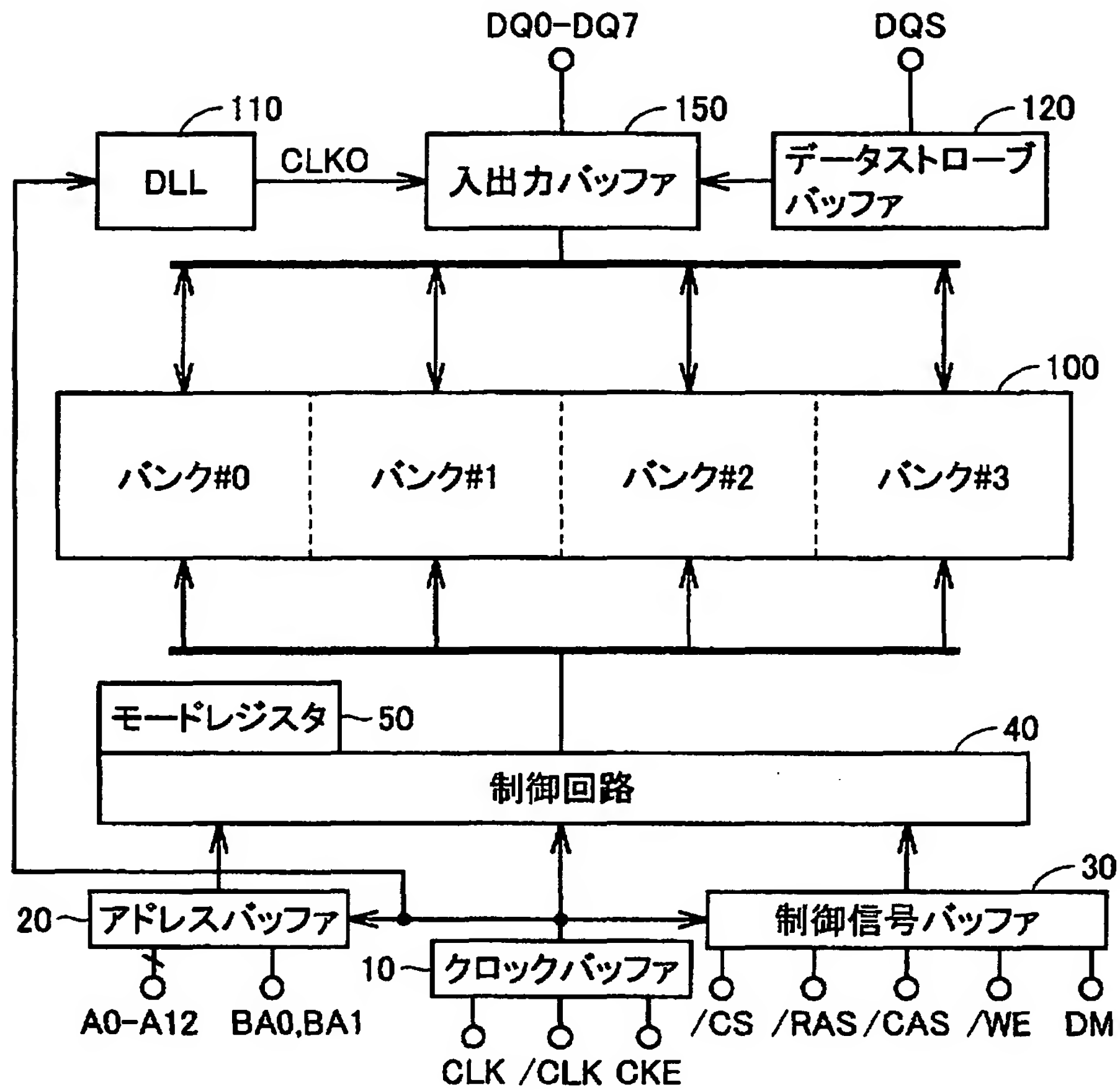
【書類名】 図面

【図 1】

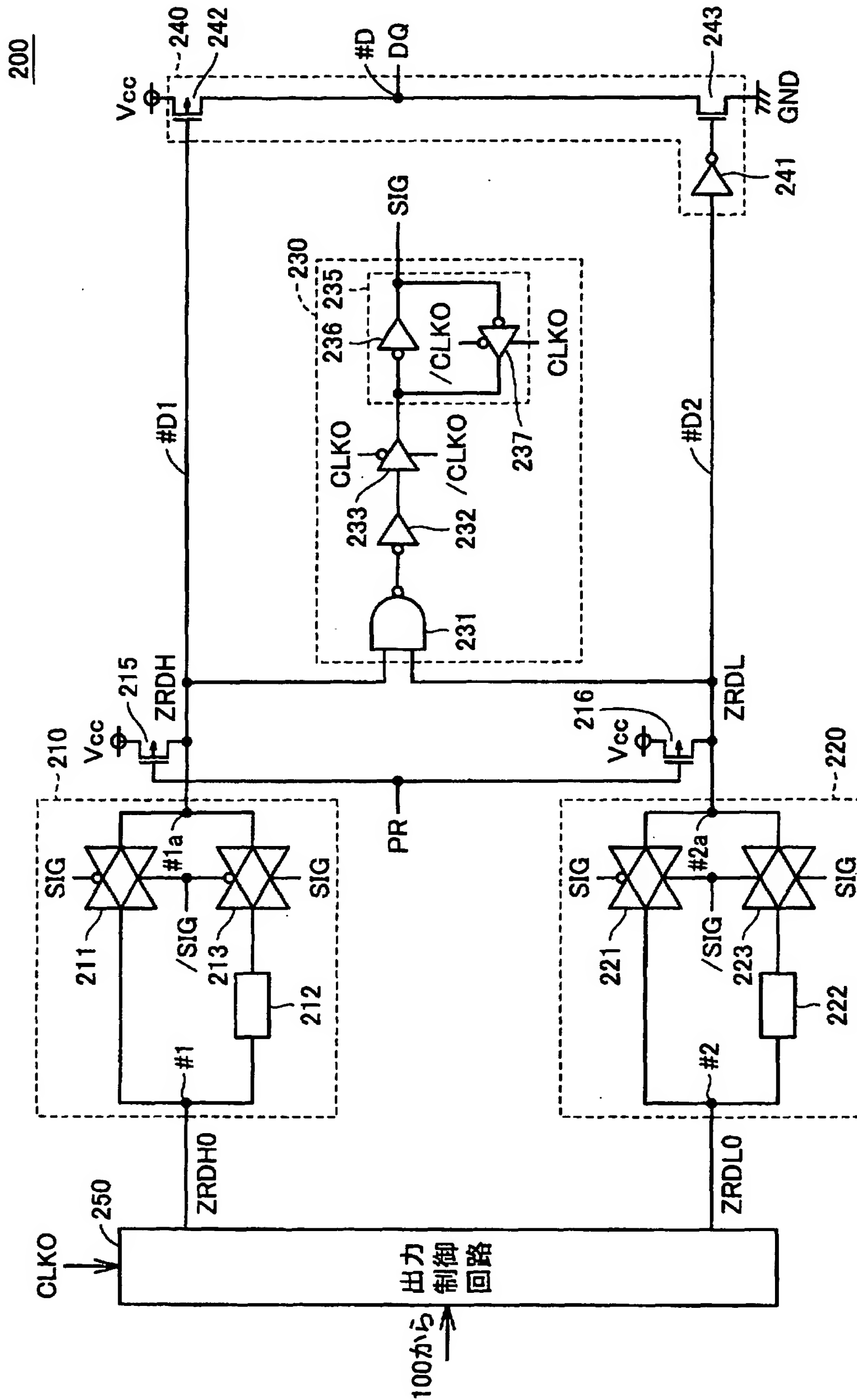


【図 2】

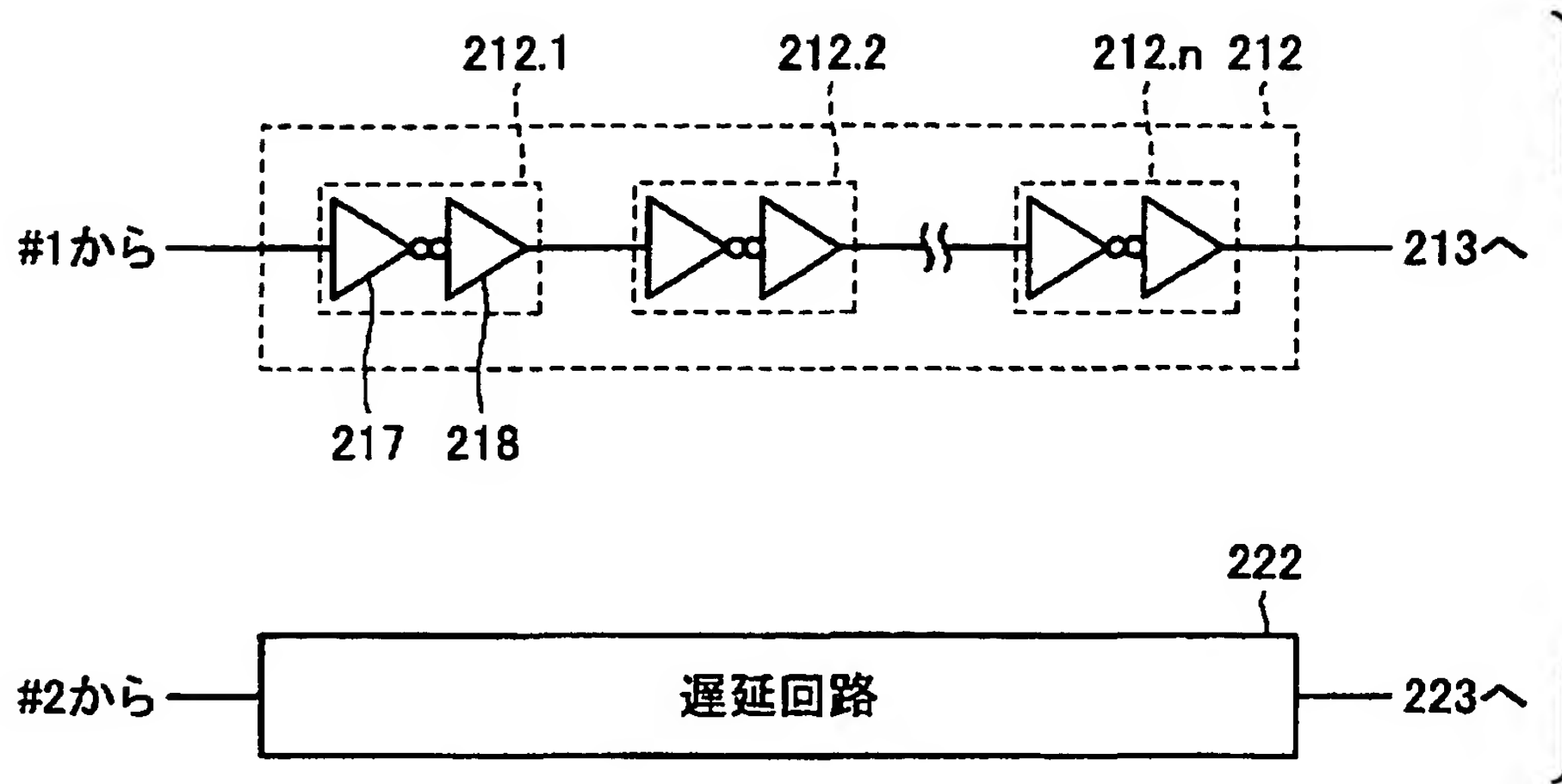
1000



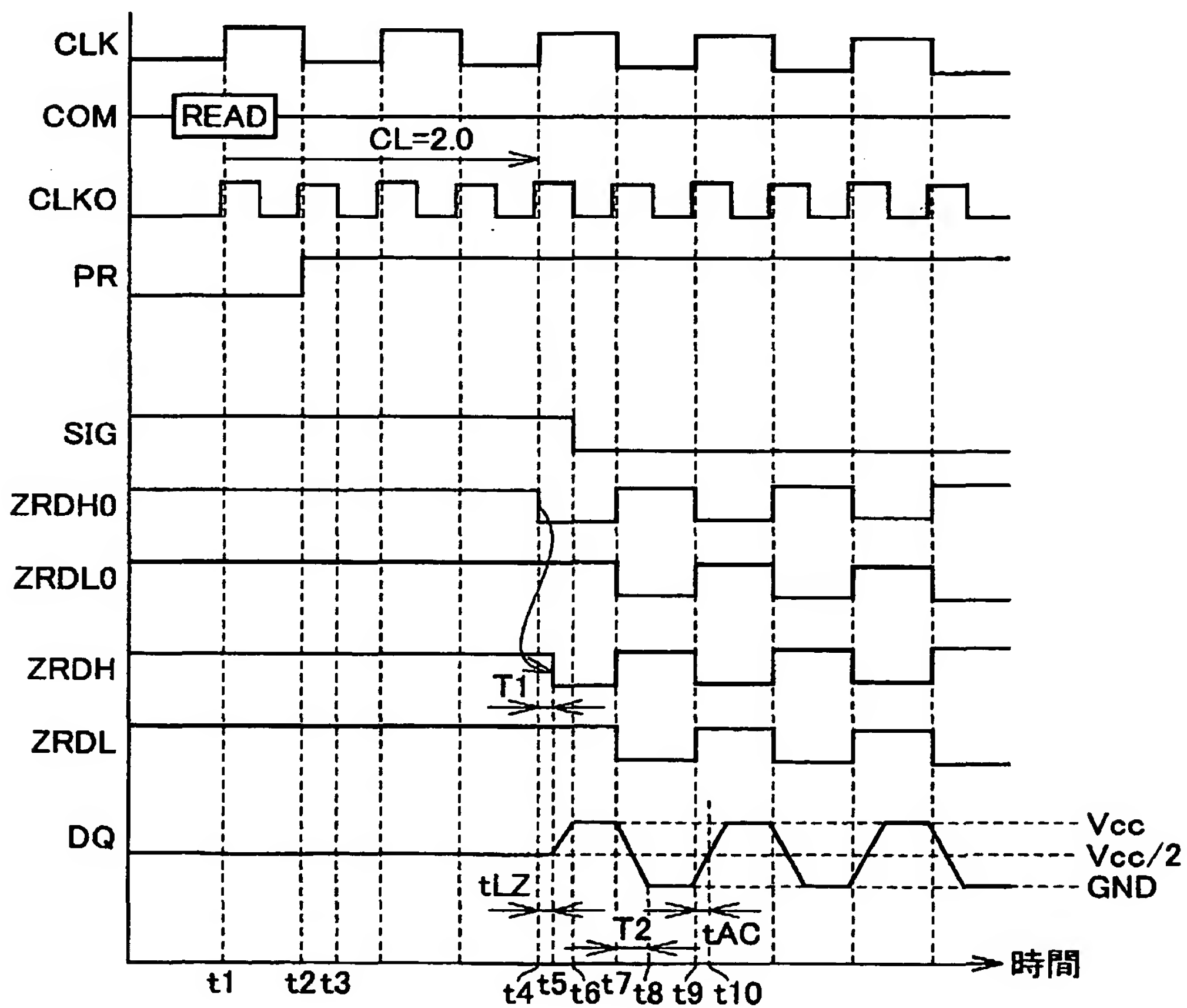
【図 3】



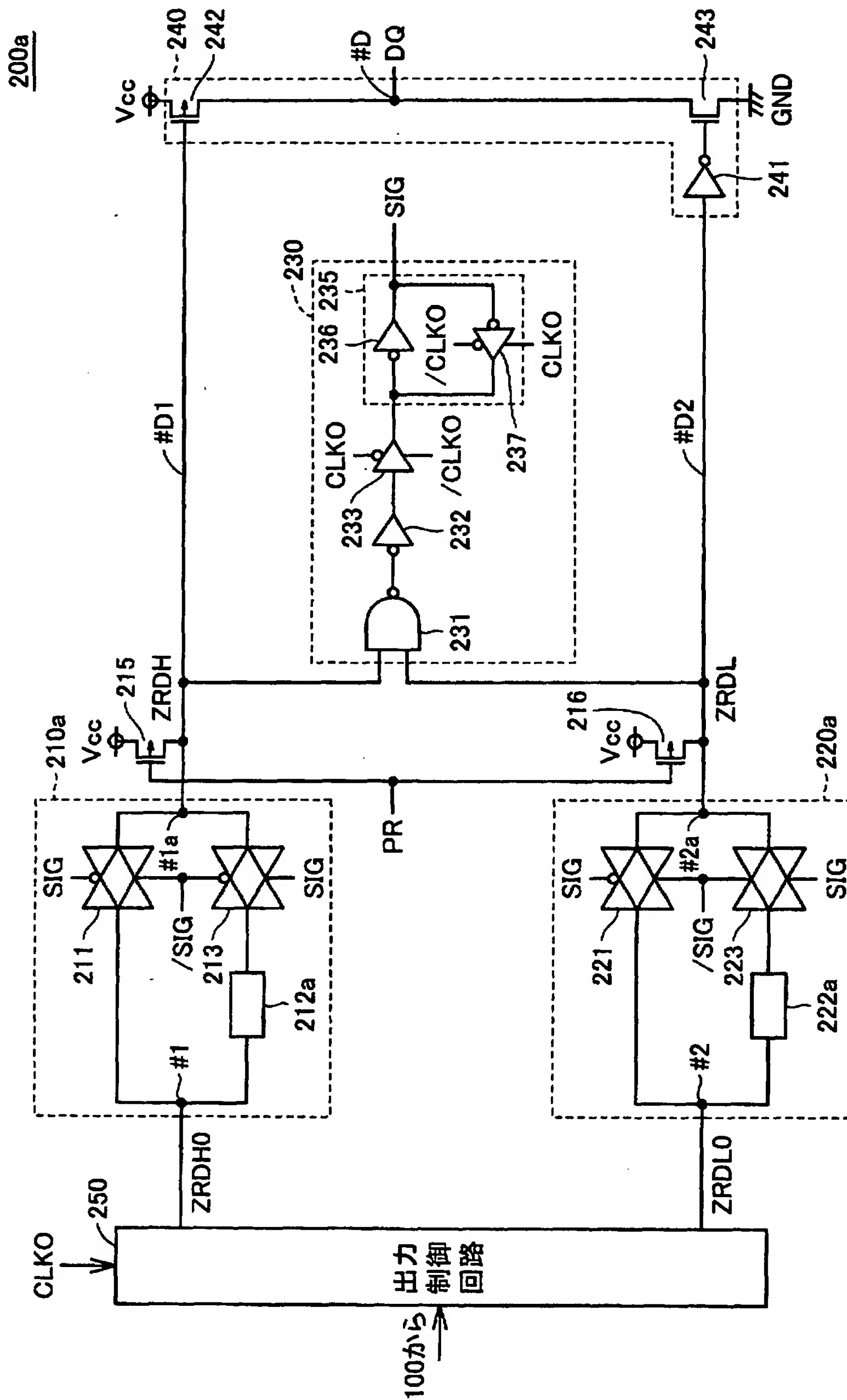
【図 4】



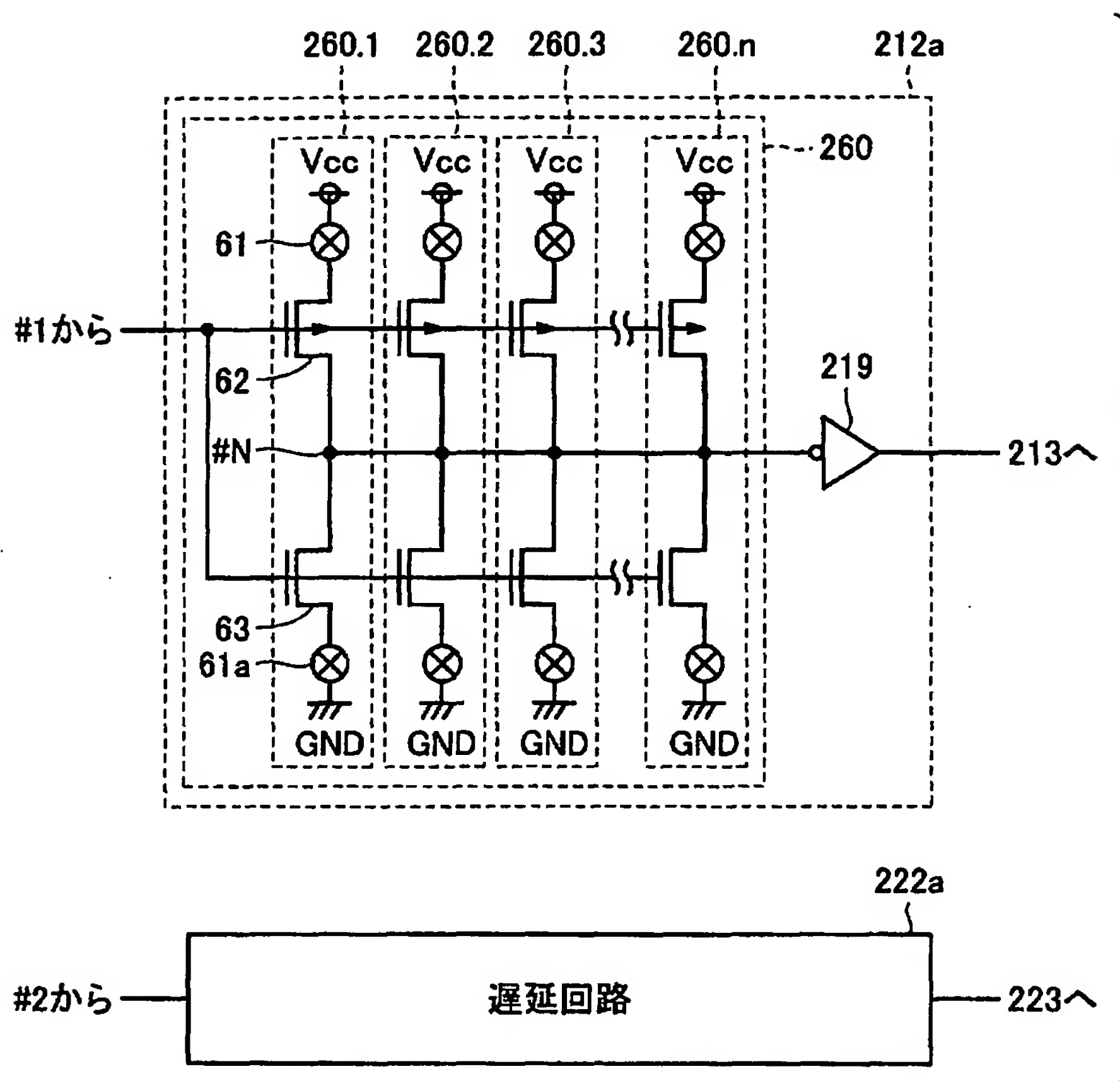
【図 5】



【图 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 バースト読出し動作におけるデータ出力タイミングの相違を解消可能な同期型半導体記憶装置を提供する。

【解決手段】 メモリセルアレイ 1 0 0 のデータをバースト読出しする際、データ出力回路 2 4 0 からデータを出力させるための制御信号 Z R D H 0 および制御信号 Z R D L 0 を、出力されるデータの順番に応じて、異なる伝播時間で伝達する遅延制御部 2 1 0 と遅延制御部 2 2 0 とを入出力バッファ 1 5 0 内に設ける。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社